

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-232901

(43)Date of publication of application : 05.09.1997

(51)Int.Cl.

H03H 7/01  
H01S 3/103

(21)Application number : 08-041316

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 28.02.1996

(72)Inventor : YAMAUCHI KAZUHISA  
MORI KAZUTOMI  
NAKAYAMA MASATOSHI  
MITSUI YASURO

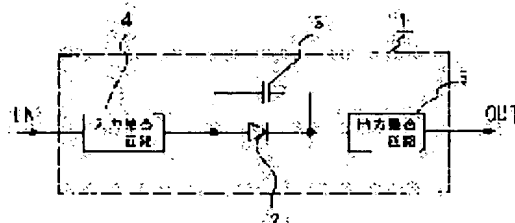
## (54) DISTORTION COMPENSATION CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a small sized and efficient distortion compensation circuit by providing a parallel connection circuit composed of a diode used to generate an amplitude distortion biased toward a nonlinearity strengthened region by adding a forward voltage of nearly a built-in voltage and a capacitor to add phase distortion.

SOLUTION: In a parallel connection circuit composed of a diode 2 used to generate an amplitude distortion biased toward a nonlinearity strengthened region by adding a forward voltage of nearly a built-in voltage and a capacitor 3 to add phase distortion, the gain of a distortion compensation circuit 1 and an input power characteristics of a passing phase are adjusted by changing properly either a bias voltage of the diode 2 or a capacitance of the capacitor 3 as a parameter. That is, the parameter is adjusted so that the fluctuation of an amplifier is cancelled with fluctuation in the parallel circuit of the diode 2 and the capacitor 3 of the circuit

1. In this case, since the effect of the bias voltage of the diode 2 and the capacitance of the capacitor 3 onto the characteristic differ, the combination of them copes with various amplifiers of various characteristics.



## LEGAL STATUS

[Date of request for examination]

05.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3487060

[Date of registration] 31.10.2003

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-232901

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl. <sup>6</sup>	識別記号	片内整理番号	F I	技術表示箇所	
H 0 3 H	7/01		H 0 3 H	7/01	A
H 0 1 S	3/103		H 0 1 S	3/103	

審査請求 未請求 請求項の数8 O L (全 13 頁)

(21) 出願番号 特願平8-41316

(22) 出願日 平成8年(1996)2月28日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 山内 和久

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 森 一富

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 中山 正敏

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 宮田 金雄 (外3名)

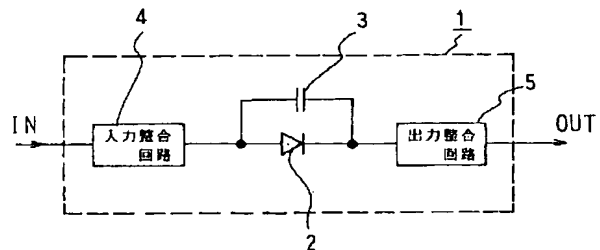
最終頁に続く

(54) 【発明の名称】 歪補償回路

(57) 【要約】

【課題】 出力段の振幅非線形性、位相非線形性を打ち消すための歪補償回路を得る。

【解決手段】 非線形の動作領域にバイアスされ、振幅歪を発生するダイオード2と、位相歪を付加するためのキャパシタ3とが並列に接続されて構成され、入力電力の増加に対し利得が増加し、位相が遅れる特性を持つ。



1 : 歪補償回路

## 【特許請求の範囲】

【請求項1】 非線形の動作領域にバイアスされて振幅歪を発生するダイオードと、上記ダイオードに並列に接続されて位相歪を発生するキャパシタとを備え、入力電力の増加に対し利得が増加するとともに位相が遅れる特性を持つ歪補償回路。

【請求項2】 上記キャパシタを、上記ダイオードの接合容量に置き換えたことを特徴とする請求項1の歪補償回路。

【請求項3】 上記キャパシタを、抵抗、インダクタ、または、キャパシタの少なくともいずれか一つを備えるインピーダンス回路に置き換えたことを特徴とする請求項1記載の歪補償回路。

【請求項4】 上記ダイオードと上記キャパシタとの並列回路に対して直列に接続され、抵抗、インダクタ、または、キャパシタの少なくともいずれか一つを備えるインピーダンス回路を備えたことを特徴とする請求項1記載の歪補償回路。

【請求項5】 上記ダイオードの接合部の温度に基づき上記ダイオードに加えるバイアス電圧を制御することを特徴とする請求項1記載の歪補償回路。

【請求項6】 請求項1乃至請求項5いずれかに記載の歪補償回路の入力側または出力側の少なくともいずれか一方にアイソレータを設けたことを特徴とする歪補償回路。

【請求項7】 請求項1乃至請求項6いずれかに記載の歪補償回路を複数備え、これら歪補償回路を直列に構成してなることを特徴とする歪補償回路。

【請求項8】 請求項1乃至請求項6いずれかに記載の歪補償回路を複数備え、これら歪補償回路を並列に構成してなることを特徴とする歪補償回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、送信機や半導体レーザーなどに用いられる高周波信号の出力段の前段または後段に設けられ、振幅非線形性および位相非線形性を補償する歪補償回路に関するものである。

## 【0002】

【従来の技術】送信機や半導体レーザーに用いられる増幅器の入出力位相特性は、理想的には、入力信号の電力あるいは周波数により利得および通過位相が変化しないことが望ましい。しかし、実際の増幅器は、入力電力の増加に伴い利得が減少するとともに位相が進む特性をもつため、振幅歪み、および、位相歪みが発生する。このような増幅器の非線形性を改善するために、負帰還をかけることが行われている。この負帰還は低周波において有効である。しかし、帰還路における位相回転のため、高周波においては負帰還をかけることは難しい。そこで、高周波においては、増幅器の非線形性を相殺するような入出力特性を持つ歪補償回路を増幅器の前段（ある

いは後段）に設けることで非線形性を改善している。なお、半導体レーザーでも、非線形性をキャンセルするような入出力特性を持つ歪補償回路を半導体レーザーの前段に設けることで非線形性の改善を行っている。

【0003】従来例1として、ELECTRONICS LETTERS Vol. 28 No. 20 1992 pp1875-1876、**■**COMPARISON OF DIRECT AND EXTERNAL MODULATION FOR CATV LIGHTWAVE TRANSMISSION AT 1.5μm WAVELENGTH**■**をあげる。図27に従来例1で使用されている歪補償回路の概略図を示す。図27において、100は分波器、101は遅延線、102は結合器、103、104は減衰器、105はインダクタ、106、107は抵抗、108、109はダイオード、110、111はキャパシタ、112は歪補償回路、113は非線形性をキャンセルための歪みを発生するプリディストータである。プリディストータ113は、ダイオード108、109、抵抗106、107、インダクタ105、キャパシタ110、111で構成されている。

【0004】所定の大きさを持つ入力電力は、分波器100により遅延線101およびレベル調整用減衰器103を通してプリディストータ113に分配される。ダイオード108、109には0.3V以下のバイアスが加えられており、非線形性の強い領域で使用している。プリディストータ113により歪が与えられた信号は、遅延線からの信号と結合器102により合波される。その後、減衰器104によりレベルが調整される。このようにプリディストータ113で得られた歪により、後段に接続されている変調器で発生する3次歪を打ち消すことで線形な特性を得ることができる。

【0005】従来例2として、特開平4-267574号公報に記載された装置をあげる。図28に特開平4-267574号公報記載の回路の模式図を示す。図28において、114は予歪生成回路、115は増幅器である。増幅器115の非線形性を打ち消すような逆の入出力特性を持つ予歪生成回路114が増幅器115への信号経路（基本信号パス）に挿入されている。この回路は直列型の回路構成を採っている。この回路は構成が簡単で、調整箇所が少ないという利点を持つ。

【0006】図29に、図28の予歪生成回路の概略図を示す。図29で、116はFET、117は抵抗である。図29で記載の予歪生成回路114において、DCバイアスを供給する素子について描かれていないが、FET116は飽和ドレイン電流で動作するように十分なドレインバイアス電流が加えられており、2乗領域にバイアスされている。本予歪生成回路により、後段の増幅器で発生する歪を打ち消すことができ、線形な特性を得ることができる。

【0007】従来例3として、特開平3-179807号公報に記載された装置をあげる。図30に特開平3-179807号公報記載の回路の模式図を示す。118

はフィルタである。この回路では、増幅器115への信号を分配器100で2つの経路に分け、一方の線路にプリディストータ113を他方の線路に遅延線路101を設け、これらを結合器102で合波する。この回路は並列型の回路構成がとられている。この回路により、後段に接続されている増幅器115で発生する歪を打ち消すことができ、線形な出力を得ることができる。

【0008】従来例4として特開平6-260847に記載された装置をあげる。図31に特開平6-260847号公報記載の回路を示す。図31において、119、120はダイオード、121、122はインダクタ、123、124はキャパシタ、125、126は減衰器である。この回路は、外部からの入力信号を分配器100により互いに位相が反転した2つの信号を2つの経路に分け、一方の経路に歪を発生する手段（所定のバイアスを与えた非線形素子であるダイオード119および減衰器125）を、他方の経路に歪を発生する手段（所定のバイアスを与えた非線形素子であるダイオード120および減衰器126）を設け、これらで発生した歪を結合器102で合波する。この回路により歪を発生させ、後段に接続される非線形素子が発生する歪を打ち消すことができ、線形な特性を得ることができる。この回路は従来例2、3と比較し、構成が簡単である利点を持つ。

#### 【0009】

【発明が解決しようとする課題】ところで、上記従来の歪補償回路にはそれぞれ次のような問題点があった。従来例1の歪補償回路は、遅延線などを必要とするために回路の規模が大きくなるとともに、困難で同一半導体基板上に形成できない。したがって、IC化に適さない。また、遅延線101で位相補償を厳密に行わなければならないが、歪発生経路113で時間遅延が発生するために調整が難しい。さらに、従来例1の歪補償回路は同様な構成を持つ回路ブロックを2つ必要とし、構造が複雑となる。さらに、従来例1の回路はAM-PM変換による位相歪について考慮されていないので、大きな歪補償量を期待できない。

【0010】AM-PM変換による位相歪とは次のようなものである。増幅器を例にとり説明する。増幅器は、入力電力が増加しても通過位相が変化せず、一定の値をもつことが望ましい。しかし、多くの増幅器では、入力電力が増加すると位相が進む特性を持つため、振幅が変化するような信号を増幅すると信号の位相が変化してしまい、位相変調をかけたような状態になる。このときに発生する歪みをAM-PM変換による位相歪と呼ぶ。

【0011】従来例2の歪補償回路は、能動回路を用いているため発振の恐れがある。さらに、AM-PM変換による位相歪についても考慮されていないので、大きな歪補償量を期待できない。

【0012】従来例3の歪補償回路は、遅延線などが必

要で回路の規模が大きくなり、モノリシック化が困難である。また、遅延線で位相補償を厳密に行わなければならないが、歪発生経路で時間遅延が発生するので調整が難しい。さらに、AM-PM変換による位相歪についても考慮されていないので、大きな歪補償量を期待できない。

【0013】従来例4の歪補償回路は、トランス、ハイブリッドなどの位相反転分岐回路が必要であるため小型化には不向きであり、また、同様の構成をもつ回路ブロックが2つ必要である。また、AM-PM変換による位相歪についても考慮されていないので、大きな歪補償量を期待できない。

【0014】本発明は、上記のような問題点を解決するためになされたもので、遅延線などが不要で構成が簡単であり、IC化に適し、小型、高効率な歪補償回路を得ることを目的とする。

#### 【0015】

【課題を解決するための手段】請求項1に係る歪補償回路は、非線形の動作領域にバイアスされて振幅歪を発生するダイオードと、上記ダイオードに並列に接続されて位相歪を発生するキャパシタとを備え、入力電力の増加に対し利得が増加するとともに位相が遅れる特性を持つものである。

【0016】請求項2に係る歪補償回路は、上記キャパシタを、上記ダイオードの接合容量に置き換えたものである。

【0017】請求項3に係る歪補償回路は、上記キャパシタを、抵抗、インダクタ、または、キャパシタの少なくともいずれか一つを備えるインピーダンス回路に置き換えたものである。

【0018】請求項4に係る歪補償回路は、上記ダイオードと上記キャパシタとの並列回路に対して直列に接続され、抵抗、インダクタ、または、キャパシタの少なくともいずれか一つを備えるインピーダンス回路を備えたものである。

【0019】請求項5に係る歪補償回路は、上記ダイオードの接合部の温度に基づき上記ダイオードに加えるバイアス電圧を制御するものである。

【0020】請求項6に係る歪補償回路は、上記歪補償回路の入力側または出力側の少なくともいずれか一方にアイソレータを設けたものである。

【0021】請求項7に係る歪補償回路は、上記歪補償回路を複数備え、これら歪補償回路を直列に構成してなるものである。

【0022】請求項8に係る歪補償回路は、上記歪補償回路を複数備え、これら歪補償回路を並列に構成してなるものである。

#### 【0023】

##### 【発明の実施の形態】

##### 実施の形態1

この発明の実施の形態1の歪補償回路の構成（等価回

路)を図1に示す。図中、2はダイオード、3はキャパシタであり、ダイオード2とキャパシタ3とは互いに並列に接続されている。4は入力整合回路、5は出力整合回路である。入力整合回路4、出力整合回路5は、集中定数あるいは分布定数で構成される公知のもの(例えば、「電子工学ポケットブック」3版(オーム社)の4-27、28頁に記載されたもの)である。

【0024】入力整合回路4、ダイオード2とキャパシタ3との並列回路、および、出力整合回路5は、この順序で直列に接続されている。また、ダイオード2のアノードは入力整合回路4に接続され、ダイオード2のカソードは出力整合回路5に接続されている。歪補償回路1は、これらダイオード2、キャパシタ3、入力整合回路4、出力整合回路5から構成されている。

【0025】ダイオード2にはビルトイン電圧程度の順方向電圧が印加される。ビルトイン電圧とはつぎのようなものである。ダイオードのI-V特性において、ダイオードに順方向に電圧を加えた場合、 $V=0$  [V]程度ではほとんど電流が流れないが、次第に順方向電圧を増加させていくと、ある電圧を境に急激に電流が流れ出す。急激に電流が流れ出す電圧をビルトイン電圧と定義する。ビルトイン電圧は、スレッショルド電圧、あるいは、しきい電圧とも呼ばれる。

【0026】この実施の形態1の歪補償回路1において、図1の入力側に増幅器が接続された場合、入力整合回路4に信号が入力されると、出力整合回路5から歪みがキャンセルされた信号が出力される。一方、図1の出力側に増幅器が接続された場合、歪みをキャンセルする成分が付加された信号が出力される。

【0027】次に動作について説明する。図2は、歪補償回路1のダイオード2とキャパシタ3との並列回路の入力電力に対する利得および通過位相特性のシミュレーション結果である。このシミュレーション結果は、シリコンショットキーダイオードの大信号モデルパラメータを抽出し、ハーモニクバランス法を用いて周波数1.9GHzにて解析を行った結果である。キャパシタ3の値を1pF、入出力のインピーダンスを50Ω、ダイオード2に加える順方向電圧 $V_d=0.35$  [V]とした。図2より、入力電力の増加に対し利得が増加し、位相が遅れることがわかる。

【0028】図3は図2と同様の特性図である。図3は、ダイオード2に加える順方向電圧をパラメータとした、入力電力に対する利得および通過位相特性のシミュレーション結果である。図3は、ダイオードに加える順方向電圧を増やすと微小信号時の利得を基準とする利得の増加量が減少し、減らすと利得の増加量が増加することを示している。このことは特に0dB以下の低入力電力について顕著であることがわかる。また、図3は、ダイオードに加える順方向電圧を増やすと位相の遅れが減少し、減らすと位相の遅れが増加することも示してい

る。このことは特に0dB以上の入力電力について顕著であることがわかる。以上のことから、ダイオード2に加える順方向電圧を変えることで、図1の歪補償回路1の利得および通過位相の対入力電力特性を調整できることがわかる。

【0029】図4は図3と同様の特性図である。図4は、ダイオード2と並列に接続されたキャパシタ3の容量値をパラメータとした、入力電力に対する利得および通過位相特性のシミュレーション結果である。図4は、キャパシタ3の容量を増やすと利得の増加量が減少し、減らすと利得の増加量が増加することを示している。このことは特に0dB以下の低入力電力について顕著であることがわかる。また、図4は、キャパシタ3の容量を増減させてもあまり位相特性に変化が生じないことを示している。以上のことから、キャパシタ3の容量値を変えることで、位相特性に対して変化を与えない状態で図1の歪補償回路1の利得の対入力電力特性を調整できることがわかる。

【0030】以上のことをまとめると、ダイオードに加える順方向電圧およびダイオード2と並列に接続されたキャパシタ3の容量値の両方、あるいはいずれか一方をパラメータとして適当に変化させることにより、図1の歪補償回路1の利得および通過位相の対入力電力特性を調整できる。逆に言えば、利得および通過位相の対入力電力特性を調整するときは、ダイオード2とキャパシタ3の並列回路のこれらパラメータを調整すればよい。

【0031】以上のことを踏まえて、利得および通過位相の対入力電力特性を理想的なものにするために、図1の歪補償回路1のパラメータをどのように設定すればよいについて説明する。

【0032】増幅器を例にとって説明する。理想的な増幅器の入出力位相特性は、周波数によらず、入力電力が増加しても飽和電力まで利得が一定であり、通過位相が変化しない特性である。しかし、多くの増幅器は、入力電力の増加に伴い利得が減少し、位相が進む特性をもつ。このため、振幅歪み、位相歪みが発生する。そこで、これらの歪みの発生を抑制するために、歪みを補償される増幅器と逆の入出力位相特性を持つ図1の歪補償回路1とを組み合わせ使用して使用する。これにより、飽和電力付近まで利得・位相の変化を小さくできて線形に近い特性を得ることができる。

【0033】補償の対象となる増幅器の利得および通過位相の対入力電力特性を測定あるいはシミュレーションにより求める。そして、図2ないし図4の特性図を参考にして、この増幅器の利得および通過位相の変動を抑制するように、つまりこの増幅器の変動と歪補償回路1のダイオード2とキャパシタ3の並列回路の変動とが互いに相殺するように、前述のパラメータを調整する。これは図2ないし図4のグラフがあれば容易に実行できる。このとき、ダイオード2のバイアス電圧とキャパシタ3

の容量とで特性に与える影響が異なるから、これらの組合せによりさまざまな特性の増幅器に対応することができる。

【0034】以上、増幅器を例にとり説明したが、この装置を適用する他の装置についても同様である。

【0035】以上のように、ダイオード2とキャパシタ3との並列回路により歪みを補償できるが、完全に補償しきれない場合がある。このような場合、入力整合回路4および出力整合回路5により補償する。

【0036】入力整合回路4により、ダイオード2の入力側のインピーダンスを変化させた場合の整合回路1の利得および通過位相特性のシミュレーション結果の例を図5および図6に示す。なお、キャパシタ3の値は、1 pFとし、順方向電圧 $V_d = 0.35$  V、出力インピーダンス $50\ \Omega$ とした。

【0037】図5は入力電力を $-40$  dBmから $0$  dBmまでに増加したときの利得の増加量をスミスチャート上にプロットしたものである。図5中の線は利得の増加量の等高線を示している。また、図6は入力電力を $-40$  dBmから $0$  dBmまでに増加したときの通過位相量の遅れ量をスミスチャート上にプロットしたものである。図6中の線は位相遅れ量の等高線を示している。

【0038】図5において、等高線の頂上は左下にある。図5の中心のインピーダンスは $50\ \Omega$ であるから、利得の増加量を増加させるときにはインピーダンスを左下に向かって変化させ、利得を減少させるときにはインピーダンスを右上に向かって変化させればよい。

【0039】また、図6において、等高線の頂上は中心、つまりインピーダンス $50\ \Omega$ の位置にある。したがって、この場合は位相を進ませることはできても逆に遅らせることはできない。

【0040】以上のように、図5および図6より、入力インピーダンスを変化させることにより、図1の歪補償回路1の利得および通過位相を調整できることがわかる。

【0041】出力整合回路5により、ダイオード2の出力側のインピーダンスを変化させた場合の整合回路1の利得および通過位相特性のシミュレーション結果の例を図6に示す。なお、キャパシタ3の値は、1 pFとし、順方向電圧 $V_d = 0.35$  V、入力インピーダンス $50\ \Omega$ とした。

【0042】図7は入力電力を $-40$  dBmから $0$  dBmまでに増加したときの利得をスミスチャート上にプロットしたものである。また、図8は入力電力を $-40$  dBmから $0$  dBmまでに増加したときの通過位相量をスミスチャート上にプロットしたものである。

【0043】この場合でも同様に、図7および図8より、出力インピーダンスを変化させることにより、図1の歪補償回路1の利得および通過位相を調整できることがわかる。

【0044】以上のことを踏まえて、利得および通過位相の対周波数特性を理想的なものにするために、図1の歪補償回路1のパラメータをどのように設定すればよいかについて説明する。

【0045】増幅器を例にとり説明する。理想的な増幅器の入出力位相特性は、周波数によらず、入力電力が増加しても飽和電力まで利得が一定であり、通過位相が変化しない線形な特性である。しかし、多くの増幅器は周波数特性を持つため、中心周波数付近と帯域の端では入出力位相特性が異なり、歪み特性などに違いが見られる。そこで、これらの歪みの発生を抑制するために、歪みを補償する増幅器と逆の周波数特性を持つ図1の歪補償回路1とを組み合わせることで線形に近い特性を得ることができる。

【0046】補償の対象となる増幅器の利得および通過位相の対周波数特性を測定あるいはシミュレーションにより求める。そして、図5乃至図8の特性図を参考にして、この増幅器の利得および通過位相の変動を抑制するように、つまりこの増幅器の変動と入力整合回路4と出力整合回路5の変動とが互いに相殺するように、特性インピーダンスを調整する。これは図5乃至図8のグラフがあれば容易に実行できる。

【0047】以上、増幅器を例にとり説明したが、この装置を適用する他の装置についても同様である。

【0048】図1の歪補償回路1による実際の歪補償結果の例を示す。図9は測定系統を示す図である。同図において、歪補償回路1の入力側および出力側にそれぞれサーキュレータ31a、31bが取り付けられている。これは反射特性を改善するためである。サーキュレータ31a、31bには、それぞれ無反射終端32a、32bが取り付けられている。アッテネータ33は、サーキュレータ31bを介して受けた歪補償回路1の出力を適当に減衰させる。電力増幅器34は、アッテネータ33の出力を適宜増幅する。

【0049】図9の測定系統で測定された特性図を図10に示す。同図からわかるように、出力電力 $13$  dBmにおいて隣接チャネル漏洩電力が最大 $5$  dB改善されていることがわかる。

【0050】以上のように、この実施の形態1の歪補償回路は、ダイオードとキャパシタの並列回路により対入力電力特性についての歪補償を行うので、利得および位相の対入力電力特性が改善される。この歪補償回路を用いることにより理想的な線形増幅特性が得られる。

【0051】実施の形態2。実施の形態2の歪補償回路について説明する。図1との対応部分に同一符号を付けた図11は、この歪補償回路1bの構成を示す等価回路である。図11の回路は、図1の回路からキャパシタ3を取り除いたものである。ダイオード2は寄生容量を有する。一般に、この寄生容量はダイオードの動作上好ましくないものであるが、この実施の形態2においてはこ

の寄生容量を対電力特性についての位相補償を行うための要素として積極的に利用する。この実施の形態2はダイオードの寄生容量を含めた特性に基づき歪補償を行う点に特徴がある。

【0052】基本的な動作は実施の形態1の場合と同様である。ダイオード2により対入力電力特性についての歪補償が行われる。そのために必要な具体的なパラメータ設定も同様であるので、相違点のみ述べる。

【0053】図12は、入力電力に対する利得、通過位相特性のシミュレーション結果である。シミュレーションは、シリコンショットキーダイオードの大信号モデルパラメータを抽出し、ハーモニクバランス法を用いて、周波数1.9GHzにて解析を行った。入出力のインピーダンスを50Ωとし、ダイオード2に加える順方向電圧 $V_d=0.35$  [V]とした。図12より、入力電力の増加に対し、利得が増加し、位相が遅れる特性が得られることがわかる。なお、図12の一点鎖線は、比較対象としての図2のグラフである。

【0054】図13に、ダイオード2に加える順方向電圧をパラメータとした場合の入力電力に対する利得、通過位相特性のシミュレーション結果を示す。図13より、ダイオードに加える順方向電圧を変えることで図7の歪補償回路1bの利得、通過位相を調整できることがわかる。

【0055】入力整合回路4により、ダイオード2の入力側のインピーダンスを変化させた場合の利得、通過位相特性のシミュレーション結果の例を図14および図15に示す。図14は入力電力-40dBmから0dBmまでに増加した利得をスミスチャート上にプロットしたものである。また、図15は入力電力-40dBmから0dBmまでに変化した時の通過位相量をスミスチャート上にプロットしたものである。図14および図15により、入力インピーダンスを変化させることにより、図11の歪補償回路1bの利得、通過位相を調整できることがわかる。

【0056】出力整合回路5により、ダイオード2の出力側のインピーダンスを変化させた場合の利得、通過位相特性のシミュレーション結果の例を図16および図17に示す。順方向電圧 $V_d=0.35$  V、入力インピーダンス50Ωとした。図16は入力電力-40dBmから0dBmまでに増加した利得をスミスチャート上にプロットしたものである。また、図17は入力電力-40dBmから0dBmまでに変化した通過位相量をスミスチャート上にプロットしたものである。図16および図17より、出力インピーダンスを変化させることにより、図11の歪補償回路1bの利得、通過位相を調整できることがわかる。

#### 【0057】実施の形態3

実施の形態3の歪補償回路について説明する。図1との対応部分に同一符号を付けた図18は、この歪補償回路

1cの構成を示す等価回路である。図中、10、11は抵抗である。12はダイオード2と並列に接続されているインピーダンス回路である。インピーダンス回路12は、キャパシタ3および抵抗11、12からなっている。インピーダンス回路12がダイオード2と並列に接続されている。

【0058】次に動作について説明する。この歪補償回路1cは、実施の形態1の歪補償回路と比較し、キャパシタ3と並列に抵抗10が接続され、これに抵抗11を直列に接続したインピーダンス回路12がダイオード2と並列に接続されている点が異なる。従って、歪補償回路1と同様に外部からの信号に歪を与えることができ、入力電力の増加に対し、利得が増加し、位相が遅れる特性が得られる。

【0059】図19に、抵抗11の大きさをパラメータとした場合の入力電力に対する利得、通過位相特性のシミュレーション結果を示す。入出力のインピーダンスを50Ω、ダイオード2に加える順方向電圧 $V_d=0.35$  [V]、抵抗10の大きさは100Ω、キャパシタ3の容量値を1pFとした。図19より、抵抗11の大きさを変えることで、図18の歪補償回路9の利得、通過位相を調整できることがわかる。

【0060】図20に周波数をパラメータとした場合の入力電力に対する利得、通過位相特性のシミュレーション結果を示す。入出力のインピーダンスを50Ω、ダイオード2に加える順方向電圧 $V_d=0.35$  [V]、抵抗10、11の大きさは100Ω、キャパシタ3の容量値を1pFとした。インピーダンス回路12が周波数特性を持つことで発生する歪がインピーダンス回路12の周波数特性により変化し、周波数に依存した特性を与えることができることがわかる。

#### 【0061】実施の形態4

実施の形態4の歪補償回路について説明する。図1との対応部分に同一符号を付けた図21は、この歪補償回路1dの構成を示す等価回路である。図中、14は抵抗、15はインダクタである。抵抗14とインダクタ15により構成されるインピーダンス回路16がダイオード2と並列に接続されている。

【0062】次に動作について説明する。この歪補償回路1dは、実施の形態2の歪補償回路と比較し、抵抗14およびインダクタ15により構成されるインピーダンス回路16がダイオード2と並列に接続されている点が異なる。この場合でも、歪補償回路6と同様に外部からの信号に歪を与えることができ、入力電力の増加に対し、利得が増加し、位相が遅れる特性が得られる。また、インピーダンス回路16のインピーダンスの大きさを変えることで、入力電力の増加に対し、利得が増加し、位相が遅れる特性を調整できる。

#### 【0063】実施の形態5

実施の形態5の歪補償回路について説明する。図1との



対応部分に同一符号を付けた図22は、この歪補償回路1eの構成を示す構成図である。図中、18、19はキャパシタ、インダクタ、または、抵抗のいずれか少なくとも一つから構成されるインピーダンス回路である。インピーダンス回路18および19が、ダイオード2と直列に接続されている。

【0064】次に動作について説明する。この歪補償回路1eは、実施の形態1の歪補償回路1と比較し、キャパシタ、インダクタ、または、抵抗のいずれか少なくとも一つから構成されるインピーダンス回路18、19がダイオード2に直列に接続されている点異なる。この場合でも、歪補償回路1と同様に外部からの信号に歪を与えることができ、入力電力の増加に対し、利得が増加し、位相が遅れる特性が得られる。また、インピーダンス回路18、19のインピーダンスの大きさを変えることで入力電力の増加に対し利得が増加し、位相が遅れる特性を調整できる。

#### 【0065】実施の形態6

実施の形態6の歪補償回路について説明する。図23は、この歪補償回路20の構成を示す構成図である。歪補償回路1が少なくとも2つ直列に接続されている。

【0066】次に動作について説明する。実施形態1ないし実施形態5の歪補償回路1が少なくとも2つ直列に接続されているため、歪補償回路1と同様に外部からの信号に歪を与えることができ、入力電力の増加に対し利得が増加し、位相が遅れる特性が得られる。また、実施形態1等の歪補償回路と比較し、より大きな歪に対応できる。

#### 【0067】実施の形態7

実施の形態6の歪補償回路について説明する。図24は、この歪補償回路21の構成を示す構成図である。歪補償回路1が少なくとも2つ並列に接続されている。

【0068】次に動作について説明する。実施形態1乃至実施形態5の歪補償回路1が少なくとも2つ並列に接続されているため、歪補償回路1等と同様に外部からの信号に歪を与えることができ、入力電力の増加に対し利得が増加し、位相が遅れる特性が得られる。また、実施形態1の歪補償回路と比較し、より大きな電力において歪を与えることができる。

#### 【0069】実施の形態8

実施の形態6の歪補償回路について説明する。図25は、この歪補償回路22の構成を示す構成図である。図中、23、24は、歪を発生される周波数において十分大きなインピーダンスをもつインダクタ、25は公知の電圧源である。電圧源25により所定のバイアスが増えられ、キャパシタ3と並列に接続されたダイオード2が信号路に直列に接続されている。

【0070】次に動作について説明する。実施形態1乃至実施形態5の歪補償回路1に加える電圧の大きさをダイオード2の温度により制御する。これにより、広い温

度で歪補償回路1と同様に外部からの信号に歪を与えることができ、入力電力の増加に対し、利得が増加し、位相が遅れる特性が得られる。

#### 【0071】実施の形態9

実施の形態6の歪補償回路について説明する。図26は、この歪補償回路28の構成を示す構成図である。図中26、27は、アイソレータである。歪補償回路1とアイソレータ26、27が直列に接続されている。

【0072】次に動作について説明する。この歪補償回路28は、実施の形態1等の歪補償回路1と比較し、直列にアイソレータを接続されている点異なる。従って、歪補償回路1と同様に外部からの信号に歪を与えることができ、入力電力の増加に対し、利得が増加し、位相が遅れる特性が得られる。

#### 【0073】

【発明の効果】以上のようにこの発明によれば、ビルトイン電圧程度の順方向電圧を加えることで非線形の強い領域にバイアスされた振幅歪を発生するダイオードと、位相歪を付加するためのキャパシタとが並列に接続された回路を備えることにより、入力電力の増加に対し利得が増加し、位相が遅れる特性が得られ、小型で高効率な歪補償回路を実現できる。

【0074】さらに次の発明によれば、キャパシタをダイオードの寄生容量で置き換えるのでキャパシタが不要となり、さらに構成が簡単になる効果を奏する。

【0075】さらに次の発明によれば、キャパシタをインピーダンス回路で置き換えるので、この回路のパラメータを調整することにより、細かな補償を行うことができ理想の特性にさらに近づけることができる。

【0076】さらに次の発明によれば、インピーダンス回路を備えるので、この回路のパラメータを調整することにより、細かな補償を行うことができ理想の特性にさらに近づけることができる。

【0077】さらに次の発明によれば、ダイオードの接合部の温度によりダイオードに加えるバイアス電圧を制御することにより、広い温度範囲で、所定量の入力電力の増加に対し利得が増加し、位相が遅れる特性が得られる。

【0078】さらに次の発明によれば、上記歪補償回路の入力側、または、出力側の少なくとも一方にアイソレータを設けることにより、入出力の反射特性を改善できる。また、外部のインピーダンスに依存せず、本歪補償回路の入出力インピーダンスを任意に設定できるので、入出力位相特性の調整の自由度が大きい。

【0079】さらに次の発明によれば、上記歪補償回路を少なくとも2段直列に接続したので、より大きな歪を補償できる。

【0080】さらに次の発明によれば、上記歪補償回路を少なくとも2段並列に接続したので、より大きな電力において歪を補償できる。

## 【図面の簡単な説明】

【図1】 実施の形態1の歪補償回路の等価回路図である。

【図2】 実施の形態1の歪補償回路の入力電力に対する利得および通過位相特性のシミュレーション結果を示す特性曲線図である。

【図3】 実施の形態1の歪補償回路のダイオード2に加える順方向電圧をパラメータとした場合の入力電力に対する利得および通過位相特性のシミュレーション結果を示す特性曲線図である。

【図4】 実施の形態1の歪補償回路のキャパシタ3の容量をパラメータとした場合の入力電力に対する利得および通過位相特性のシミュレーション結果を示す特性曲線図である。

【図5】 実施の形態1の歪補償回路の入力側のインピーダンスをパラメータとした利得の増加量のシミュレーション結果を示すスミスチャートである。

【図6】 実施の形態1の歪補償回路の入力側のインピーダンスをパラメータとした通過位相量のシミュレーション結果を示すスミスチャートである。

【図7】 実施の形態1の歪補償回路の出力側のインピーダンスをパラメータとした利得の増加量のシミュレーション結果を示すスミスチャートである。

【図8】 実施の形態1の歪補償回路の出力側のインピーダンスをパラメータとした通過位相量のシミュレーション結果を示すスミスチャートである。

【図9】 実施の形態1の歪補償回路の特性を測定するための測定系統図である。

【図10】 実施の形態1の歪補償回路の特性図である。

【図11】 実施の形態2の歪補償回路の等価回路図である。

【図12】 実施の形態2の歪補償回路の入力電力に対する利得および通過位相特性のシミュレーション結果を示す特性曲線図である。

【図13】 実施の形態2の歪補償回路のダイオード2に加える順方向電圧をパラメータとした場合の入力電力に対する利得および通過位相特性のシミュレーション結果を示す特性曲線図である。

【図14】 実施の形態2の歪補償回路の入力側のインピーダンスをパラメータとした利得の増加量のシミュレーション結果を示すスミスチャートである。

【図15】 実施の形態2の歪補償回路の入力側のイン

ピーダンスをパラメータとした通過位相量のシミュレーション結果を示すスミスチャートである。

【図16】 実施の形態2の歪補償回路の出力側のインピーダンスをパラメータとした利得の増加量のシミュレーション結果を示すスミスチャートである。

【図17】 実施の形態2の歪補償回路の出力側のインピーダンスをパラメータとした通過位相量のシミュレーション結果を示すスミスチャートである。

【図18】 実施の形態3の歪補償回路の等価回路図である。

【図19】 実施の形態3の歪補償回路の抵抗11の大きさをパラメータとした場合の入力電力に対する利得および通過位相特性のシミュレーション結果を示す特性曲線図である。

【図20】 実施の形態3の歪補償回路の周波数をパラメータとした場合の入力電力に対する利得および通過位相特性のシミュレーション結果を示す特性曲線図である。

【図21】 実施の形態4の歪補償回路の等価回路図である。

【図22】 実施の形態5の歪補償回路の等価回路図である。

【図23】 実施の形態6の歪補償回路の等価回路図である。

【図24】 実施の形態7の歪補償回路の等価回路図である。

【図25】 実施の形態8の歪補償回路の等価回路図である。

【図26】 実施の形態9の歪補償回路の等価回路図である。

【図27】 従来例1の歪補償回路の等価回路図である。

【図28】 従来例2の回路の模式図である。

【図29】 従来例2の予歪生成回路の概略図である。

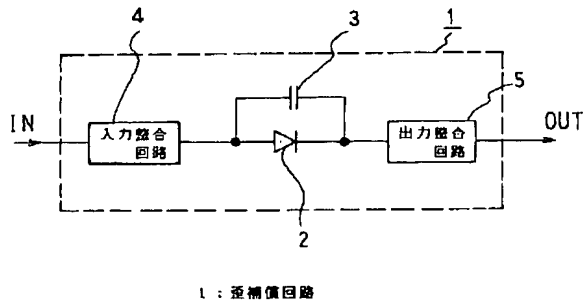
【図30】 従来例3の回路の模式図である。

【図31】 従来例4の回路の等価回路を示す模式図である。

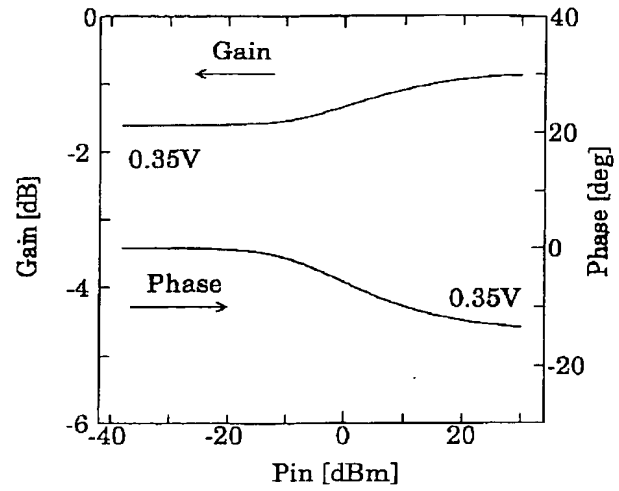
## 【符号の説明】

歪補償回路 1, ダイオード 2, キャパシタ 3, 入力整合回路 4, 出力整合回路 5, 抵抗 10, 11, 14, インピーダンス回路 12, 16, 18, 19, インダクタ 15, 23, 24, 電圧源 25, アイソレータ 26, 27。

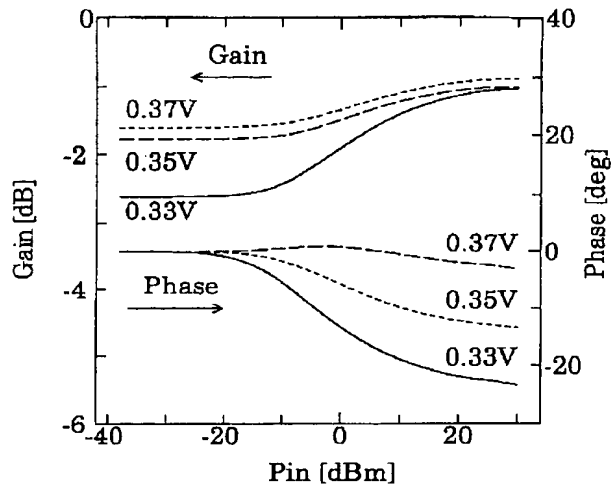
【図1】



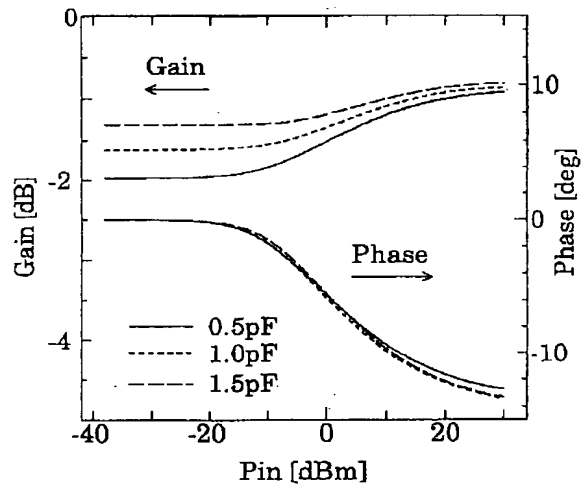
【図2】



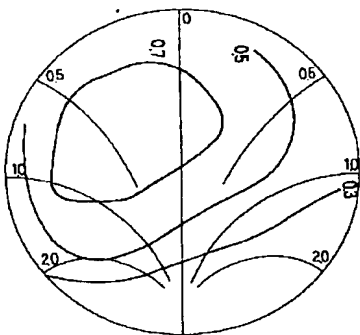
【図3】



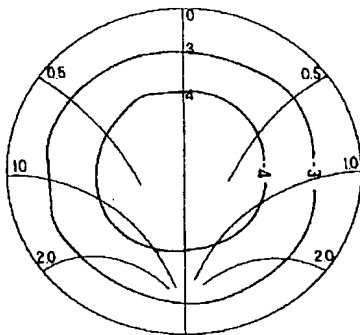
【図4】



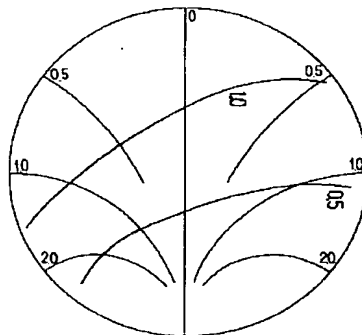
【図5】



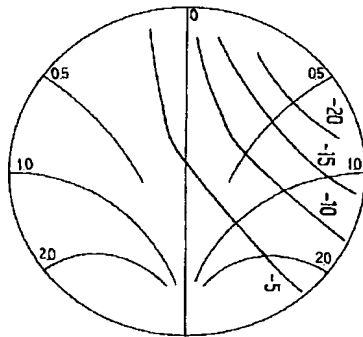
【図6】



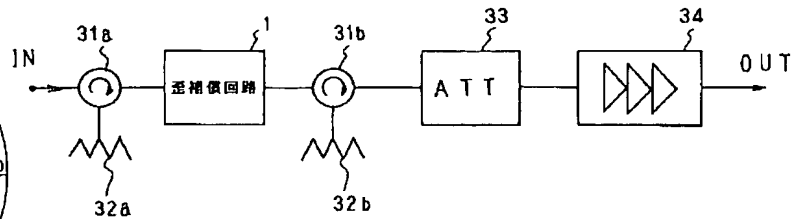
【図7】



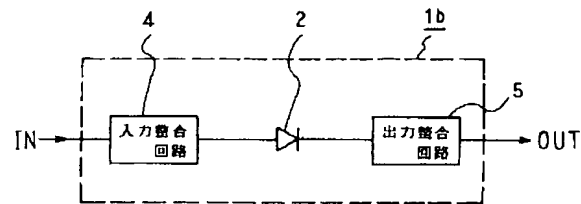
【図8】



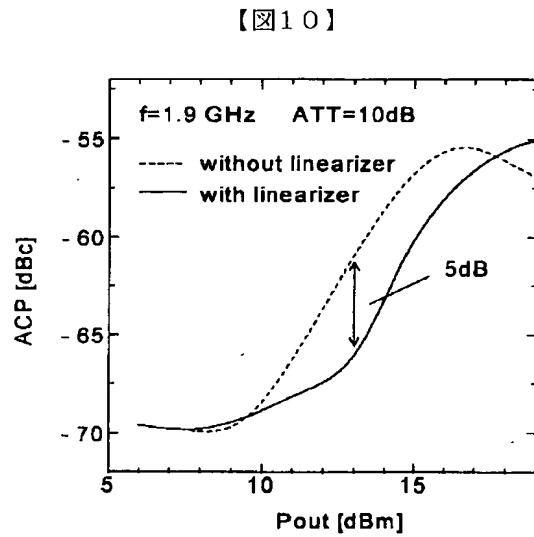
【図9】



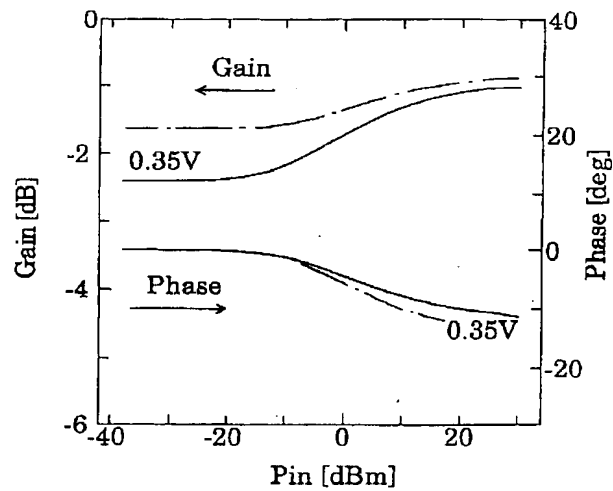
【図11】



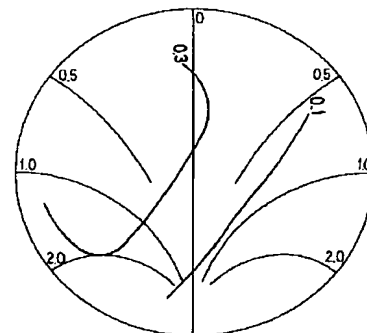
【図13】



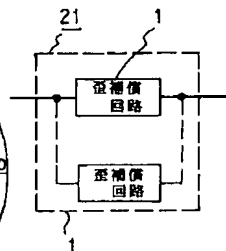
【図12】



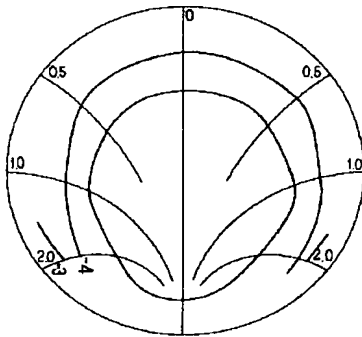
【図14】



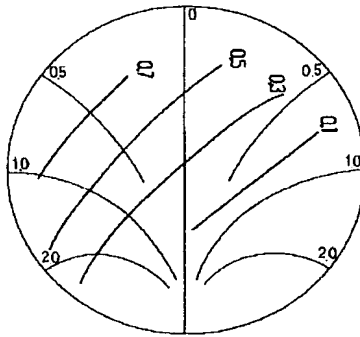
【図24】



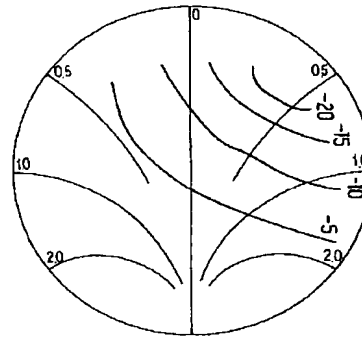
【図15】



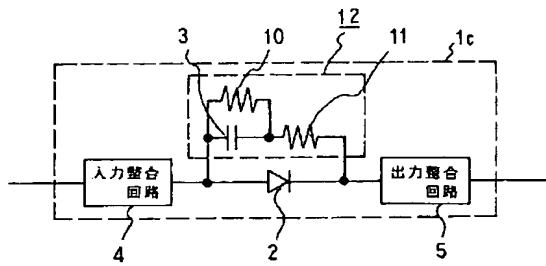
【図16】



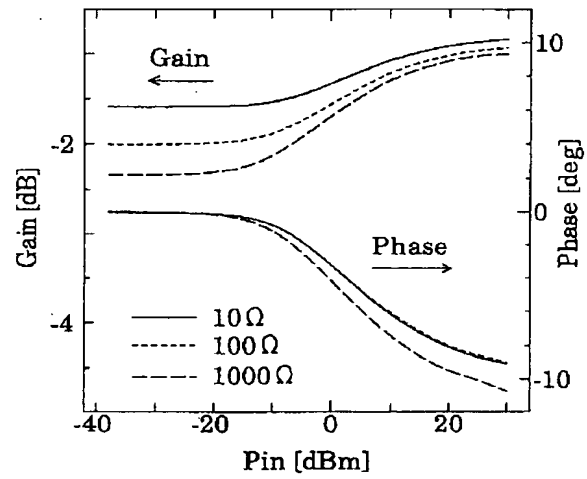
【図17】



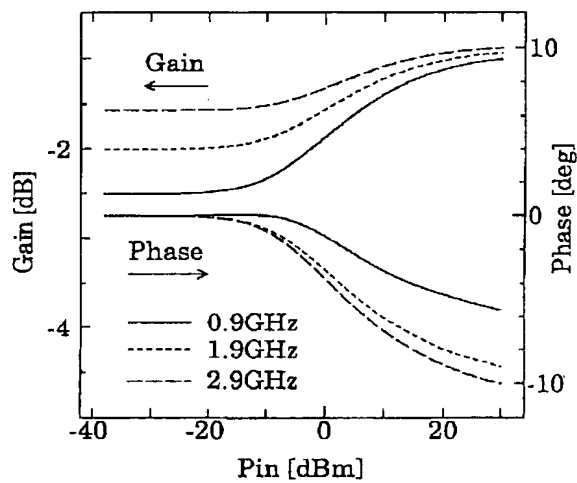
【図18】



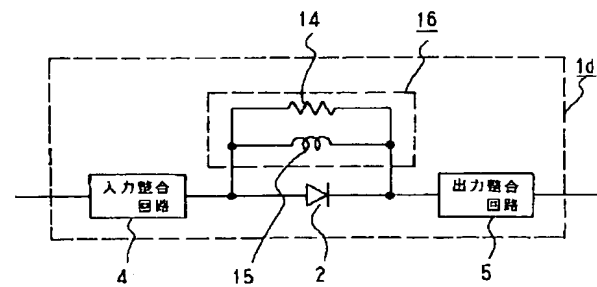
【図19】



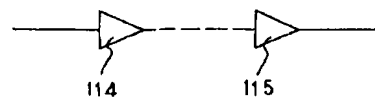
【図20】



【図21】

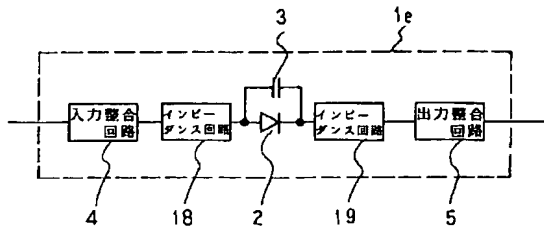


【図28】

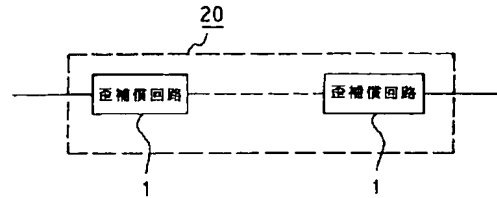


114 : 予選発生回路  
115 : 増幅器

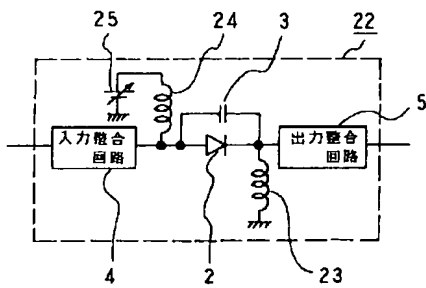
【図22】



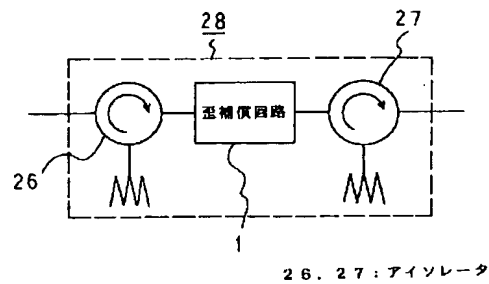
【図23】



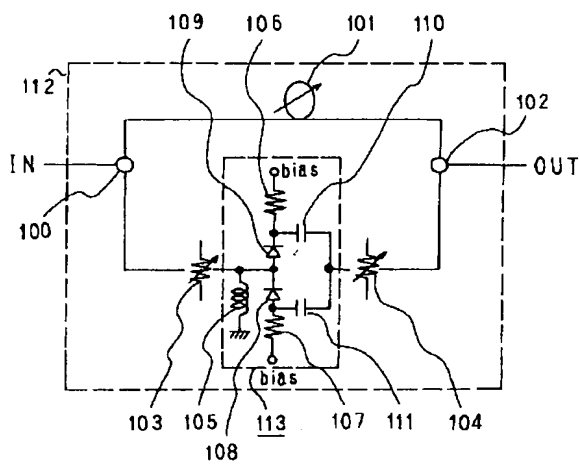
【図25】



【図26】

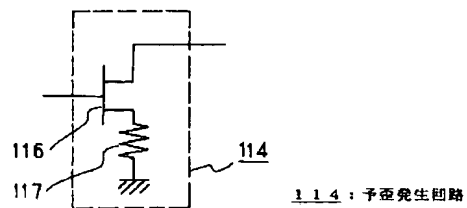


【図27】

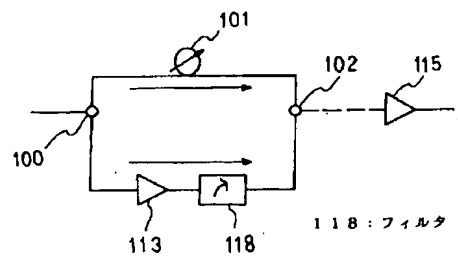


100: 分波器  
 101: 遅延線  
 102: 結合器  
 103, 104: 減衰器  
 113: プリディストータ

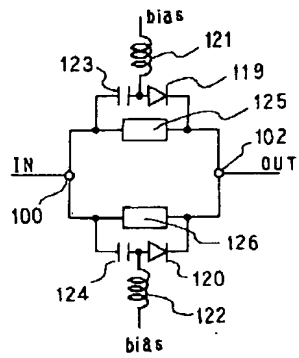
【図29】



【図30】



【図 3 1】



125, 126: 減衰器

---

フロントページの続き

(72)発明者 三井 康郎  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内